

METHOD AND APPARATUS FOR PLASMA ETCHING**Publication number:** KR20000060991 (A)**Publication date:** 2000-10-16**Inventor(s):** KIM JI SU [KR]; PARK WAN JAE [KR]; SHIN GYEONG SEOP [KR]**Applicant(s):** SAMSUNG ELECTRONICS CO LTD [KR]**Classification:****- international:** H05H1/46; C23F4/00; H01L21/302; H01L21/3065; H05H1/46; C23F4/00; H01L21/02; (IPC1-7): H01L21/3065**- European:****Application number:** KR19990009703 19990322**Priority number(s):** KR19990009703 19990322**Also published as:**

TW412801 (B)



JP2000311890 (A)

Abstract of KR 20000060991 (A)

PURPOSE: A method for a plasma etching is provided to prevent a charge-up damage by minimizing an electron temperature in a dry etching process. **CONSTITUTION:** A method for a plasma etching comprises the steps of: preparing plasma by applying a radio frequency(RF) source power to a first electrode in an etch chamber; and applying an RF bias power to a second electrode in an etch chamber including a supporting bar of a substrate. The RF source power and RF bias power are periodically turned on and off to have a phase difference between the RF source power and RF bias power, so that a charge separation generated between an upper region of a material layer pattern and a lower region of a neighboring material layer pattern is minimized.

Data supplied from the esp@cenet database — Worldwide

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. 6
H01L 21/3065

(45) 공고일자 2001년12월22일
(11) 등록번호 10 -0317915
(24) 등록일자 2001년12월05일

(21) 출원번호 10 -1999 -0009703
(22) 출원일자 1999년03월22일

(65) 공개번호 특2000 -0060991
(43) 공개일자 2000년10월16일

(73) 특허권자 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자 박완재
경기도수원시팔달구영통동973 -3번지한신아파트816동306호
신경섭
경기도성남시분당구분당동셋별마을동성아파트205동607호
김지수
경기도성남시분당구수내동대림파크타운139동2101호

(74) 대리인 임창현

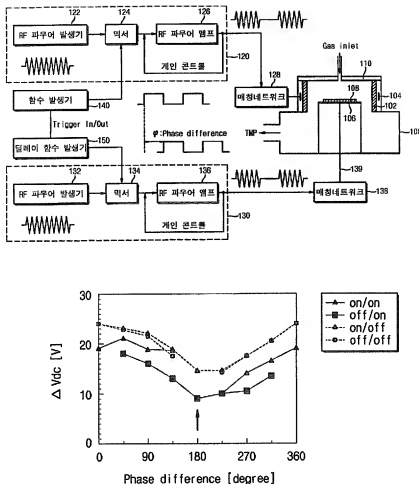
참사관 : 서태준

(54) 플라즈마 식각 장치

요약

본 발명은 플라즈마 식각 장치에 관한 것으로, 플라즈마 식각 챔버, 상기 챔버 내에서 플라즈마가 발생되도록 상기 챔버 내의 제 1 전극에 RF 소오스 파워를 공급하는 제 1 RF 파워어 공급기, 상기 제 1 RF 파워어 공급기에서 발생된 RF 소오스 파워어를 소정의 주기로 온/오프 시키는 변조 파형을 발생시키는 제 1 합수 발생기, 상기 기판의 지지대를 포함하여 챔버 내의 제 2 전극에 RF 바이어스 파워어를 공급하는 제 2 RF 파워어 공급기, 그리고 상기 제 2 파워어 공급기에서 발생된 RF 바이어스 파워어를 소정의 주기로 온/오프 시키는 변조 파형을 발생시키되, 상기 RF 바이어스 파워어가 상기 RF 소오스 파워어에 대해 소정의 위상차를 갖도록 하는 변조 파형을 발생시키는 제 2 합수 발생기를 포함하다. 본 발명에 따르면, RF 소오스 파워어(RF source power) 뿐만아니라 RF 바이어스 파워어(RF bias power)도 또한 주기적으로 온/오프(periodically on/off) 시키고, RF 소오스 파워어에 대해 RF 바이어스 파워어의 위상(phase)을 지연(delay)시킨다. 이로써, 전자의 온도를 최소화시킬 수 있고, 따라서 차지 업 손상을 유발하는 ESE(electron shading effect)를 최소화 할 수 있으며, 소자의 폐일(device fail)을 방지할 수 있다.

대표도



명세서

도면의 간단한 설명

도 1a 및 도 1b는 전자의 온도와 ESE의 관계를 보여주는 도면;

도 2는 종래의 펄스 플라즈마의 사용에 따른 전자의 온도 변화를 보여주는 그래프;

도 3은 본 발명의 실시예에 따른 펄스 플라즈마 식각 장치를 보여주는 도면;

도 4는 본 발명의 실시예에 따른 인 시츄 차지 업 모니터링 웨이퍼의 사진도;

도 5는 도 4의 A-A 라인을 따라 절단한 수직 단면도;

도 6은 RF 소스 파워 및 RF 바이어스 파워가 둘 다 연속파일 때 차지 업 모니터링 웨이퍼 상의 제 1 및 제 2 도전막 패턴에 대한 퍼텐셜 모양을 보여주는 그래프;

도 7은 콘택홀의 종횡비에 따른 연속적인 RF 소스 파워 및 RF 바이어스 파워 하에서의 제 1 도전막 패턴과 제 2 도전막 패턴의 평균 퍼텐셜의 차 (ΔV_{dc})를 보여주는 그래프;

도 8은 콘택홀의 종횡비에 따른 RF 소스 파워에 대한 RF 바이어스 파워의 위상 지연의 함수로서 제 1 도전막 패턴과 제 2 도전막 패턴의 평균 퍼텐셜의 차 (ΔV_{dc})를 보여주는 그래프;

도 9는 RF 소오스 파워어와 RF 바이어스 파워어의 각 경우에 있어서, 콘택홀의 종횡비에 따른 제 1 도전막 패턴과 제 2 도전막 패턴의 평균 퍼텐셜의 차(ΔV_{dc})를 보여주는 그래프;

도 10은 RF 소오스 파워어에 대해 RF 바이어스 파워어가 270도의 위상차를 갖도록 시간 변조되었을 때, 제 1 도전막 패턴과 제 2 도전막 패턴의 시간에 따른 각각의 평균 퍼텐셜(V_{dc}) 및 이들 사이의 평균 퍼텐셜의 차(ΔV_{dc})를 보여주는 그래프; 및

도 11은 RF 소오스 파워어와 RF 바이어스 파워어의 상태 변화에 따른 제 1 도전막 패턴과 제 2 도전막 패턴의 평균 퍼텐셜의 차(ΔV_{dc})를 보여주는 그래프이다.

* 도면의 주요 부분에 대한 부호의 설명

2 : 하부 물질막 4 : 패턴

6 : 콘택홀, 패턴 사이의 공간 8 : 양이온

10 : 전자 100 : 플라스마 식각 챔버

102 : 세라믹 벽 104 : 코일, 제 1 전극

106 : 기판 지지대, 제 2 전극 108 : 웨이퍼

110 : 알루미늄 플레이트 120 : RF 소오스 파워어 공급기

122, 132 : RF 파워어 발생기 124, 134 : 믹서

126, 136 : RF 파워어 앰프 128, 138 : 매칭 네트워크

130 : RF 바이어스 파워어 공급기 140 : 합수 발생기

150 : 지연 합수 발생기 200 : 모니터링 웨이퍼

201 : 실리콘 웨이퍼 202 : 제 1 산화막

206a : 제 1 도전막 패턴 206b : 제 2 도전막 패턴

208 : 제 2 산화막 210a : 큰 콘택홀

210b : 다수의 작은 콘택홀 211a, 211b : 패드 콘택홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 좀 더 구체적으로는 플라스마 식각 장치에 관한 것이다.

플라즈마를 발생시키는 방법 중 가장 널리 사용되는 방식은 두 전극 가운데 하나의 전극은 접지 시키고, 나머지 전극에는 주기적으로 변화하는 교류 전장(일반적으로 RF)을 인가하여 이온 및 전자쌍을 발생시켜 플라즈마를 생성하는 RIE (reactive ion etching) 방식이다. 이때, 형성된 플라즈마의 특성 예를 들어, 전자의 온도 및 플라즈마의 밀도 등과 기판에 입사하는 이온의 에너지는 모두 교류 전장의 파우어에 의해 결정된다.

그러나, 이러한 방식은 일반적으로 공정 압력이 높기 때문에 미세 패턴 형성에 불리하고 플라즈마의 특성과 이온의 에너지를 독립적으로 조절할 수 없다.

따라서, 반도체 장치의 고집적화에 따라, 현재 낮은 압력에서 플라즈마의 특성과 이온의 에너지를 독립적으로 조절할 수 있는 방법 즉, 저압 고밀도 플라즈마 소오스(low pressure high density plasma source)를 사용하는 방법이 사용되고 있다. 이러한 방법은 소오스 파우어를 인가하여 플라즈마를 발생시키고, 독립적으로 기판에 바이어스 파우어를 인가하여 기판에 입사하는 이온의 에너지를 조절하도록 하는 구성을 갖는다.

상기 저압 고밀도 플라즈마 소오스는 수 mT 이하에서도 10^{11}cm^{-3} 이상의 플라즈마 밀도(plasma density)를 유지하도록 할 수 있기 때문에 높은 식각률(high etch rate) 및 높은 이방성(high anisotropy)의 식각이 가능하다.

또한, 대부분의 경우 플라즈마를 발생시키기 위한 소오스 파우어(source power)와 플라즈마 내의 이온 및 전자를 기판으로 끌어당기기 위한 바이어스 파우어(bias power)가 분리되어 있기 때문에 기판에 입사하는 이온의 에너지를 독립적으로 조절할 수 있다.

저압 고밀도 플라즈마 소오스는 플라즈마 발생 방법에 따라, ICP(Inductively Coupled Plasma), ECR(Electron Cyclotron Resonance), Helicon파(wave) 플라즈마, 그리고 SWP(surface wave plasma) 등으로 구분되고, 이밖에도 새로운 플라즈마 소오스의 개발이 활발히 진행되고 있다.

그러나, 저압 고밀도 플라즈마 소오스는 높은 전자 온도로 인해 차지 업 손상(charge up damage)을 유발하는 문제점을 갖는다. 이것은 전자(electron)와 이온(ion)이 쉬스(sheath)를 통과하면서 운동 방향성에 차이가 생기기 때문에 발생된다.

좀 더 구체적으로, 플라즈마 내에는 동일한 수의 이온과 전자가 존재하여 전기적으로 중성 상태를 유지하며 하전 입자들이 열 운동의 지배를 받게 된다. 이때, 상기 전자는 이온에 비해 훨씬 가볍기 때문에 열 운동 속도가 매우 빠르게 된다. 플라즈마 내에서는 특정한 방향의 속도 성분이 크지 않고 전자와 이온이 모두 사방으로 움직이게 되나, 기판과 플라즈마의 경계면에서는 전자의 빠른 열 운동 속도로 인해 초기에 플라즈마 내에서 기판 방향으로 전자가 빨리 빠져나가게 된다. 여기서, 더 이상 전자가 기판 방향으로 빠져나가지 않도록 하기 위해 전자는 밀어내고 이온은 끌어당기는 전장(electric field)을 갖는 쉬스(sheath)가 형성된다.

이러한 쉬스의 전장에 의해 전자는 기판으로 내려오던 중 계속 감속하여 기판과 수직인 속도 성분은 줄어들게 되고, 수평한 속도 성분이 상대적으로 커지게 된다. 이온의 경우는 반대로 쉬스의 전장에 의해 기판 방향으로 가속되므로 기판과 수직인 속도 성분이 상대적으로 증가되어 직진성이 강해진다.

따라서, 기판에 평행한 방향의 속도 성분이 큰 전자(10)는 패턴의 상부에 도달하게 되고, 직진성이 강한 이온(8)은 패턴(14)의 하부에 도달하여 도 1a에 도시된 바와 같이, 패턴(4)의 상부와 하부에 전하 분리(charge separation)가 발생된다. 이를 ESE(electron shading effect)라 한다.

참조 번호 2는 하부 물질막을 나타내고, 참조 번호 6은 콘택홀(contact hole) 내지 패턴 사이의 공간(space)을 나타낸다. 그리고, 참조 번호 8은 양이온을 나타내고, 참조 번호 10은 전자를 나타낸다.

상기 패턴(4)의 종횡비(aspect ratio)가 증가할수록 상기 ESE가 심화되어 패턴(4)의 상부 및 하부에 각각 전자(10) 및 양전자(8)가 더욱 증가하여 차지 업 손상이 심하게 발생되고, 전자(10)의 온도가 증가할수록 전자(10)가 패턴(4)의 하부에 도달하지 못하여 상기 차지 업 손상이 심화된다.

예를 들어, 상기 하부 물질막 (2)이 게이트 전극인 경우, 상기 패턴 (4) 형성을 위한 식각 공정시 ESE에 의해 게이트 전극에 양전하가 축적되고, 이로써 게이트 절연막을 관통하는 전류가 발생된다. 그 결과, 게이트 절연막의 특성이 열화 되며, 문턱 전압 (threshold voltage)이 변화되는 등 차지 업 손상이 발생된다.

이때, 전자 (10)의 온도가 높으면 전자 (10)의 열 운동 속도가 크다는 것으로서, 패턴 (4)의 하부에 쌓인 양이온 (8)에 의한 전기적 인력에 의해 전자 (10)가 쉽게 끌려가지 않으므로 전자 (10)는 패턴 (4)의 하부에 잘 도달하지 않고, 반대로 전자 (10)의 온도가 낮으면 도 1b에서와 같이, 전자 (10)의 열 운동 속도가 작아져서 전자 (10)가 패턴 (4)의 하부로 쉽게 끌려가게 된다. 즉, 상기 ESE가 감소된다.

따라서, 상기 플라즈마 식각 공정에 의한 차지 업 손상 문제를 해결하기 위해서, 전자 (10)의 온도를 감소시키는 방법을 사용하고 있는데 주로 소오스 파워어를 주기적으로 온/오프 (on/off) 시키는 펄스 플라즈마 (pulse plasma)를 사용하고 있다.

도 2는 종래의 펄스 플라즈마의 사용에 따른 전자의 온도 변화를 보여주는 그래프이다.

도 2를 참조하면, 소오스 파워어를 예를 들어, 200 μ s 동안 온 시키고, 200 μ s 동안 오프 시키면, 전자의 온도는 소오스 파워어 오프 후 50 μ s 이내에 소오스 파워어가 온 일 때의 1/e로 감소된다.

그러나, 소오스 파워어만을 주기적으로 온/오프 시키는 방법으로는 차지 업 손상을 효과적으로 방지하기 어렵다.

발명이 이루고자 하는 기술적 과제

본 발명은 저압 고밀도 플라즈마 소오스를 사용하여 건식 식각 공정을 수행할 때 전자의 온도를 최소화함으로써, 차지 업 손상을 방지할 수 있는 플라즈마 식각 장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

상술한 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 플라즈마 식각 방법은, 반도체 기판 상에 형성된 물질막을 식각 하여 물질막 패턴 (pattern)을 형성하기 위한 플라즈마 식각 (plasma etch) 방법에 있어서, 식각 챔버 (etch chamber) 내의 제 1 전극에 RF 소오스 파워어 (source power)를 인가하여 플라즈마를 형성한다. 기판의 지지대를 포함하는 식각 챔버 내의 제 2 전극에 RF 바이어스 파워어 (bias power)를 인가한다. 이때, 상기 RF 소오스 파워어와 RF 바이어스 파워어를 각각 주기적으로 온/오프 (on/off) 시키고, 상기 RF 소오스 파워어와 상기 RF 바이어스 파워어가 소정의 위상차 (phase difference)를 갖도록 한다. 이로써, 상기 물질막 패턴의 상부 영역과, 인접한 물질막 패턴 사이의 하부 영역간에 발생하는 전하 분리 (charge separation)를 최소화 할 수 있다.

상술한 목적을 달성하기 위한 본 발명의 다른 특징에 의하면, 플라즈마 식각 장치는, 반도체 기판 상에 형성된 물질막을 식각 하여 물질막 패턴 (pattern)을 형성하기 위한 플라즈마 식각 장치에 있어서, 플라즈마 식각 챔버, 상기 챔버 내에서 플라즈마가 발생되도록 상기 챔버 내의 제 1 전극에 RF 소오스 파워어를 공급하는 제 1 RF 파워어 공급기, 상기 제 1 RF 파워어 공급기에서 발생된 RF 소오스 파워어를 소정의 주기로 온/오프 시키는 변조 파형을 발생시키는 제 1 함수 발생기, 상기 기판의 지지대를 포함하여 챔버 내의 제 2 전극에 RF 바이어스 파워어를 공급하는 제 2 RF 파워어 공급기, 그리고 상기 제 2 파워어 공급기에서 발생된 RF 바이어스 파워어를 소정의 주기로 온/오프 시키는 변조 파형을 발생시키는 제 2 함수 발생기를 포함한다. 이로써, 상기 물질막 패턴의 상부 영역과, 인접한 물질막 패턴 사이의 하부 영역간에 발생하는 전하 분리 (charge separation)를 최소화할 수 있다.

(실시예)

이하, 도 3 내지 도 11을 참조하여 본 발명의 실시예를 상세히 설명한다.

본 발명은 저압 고밀도 플라즈마 소오스인 ICP (inductively coupled plasma)를 사용하는 펄스 플라즈마 (pulse plasma) 기술로서, RF 소오스 파워 (source power)와 RF 바이어스 파워 (bias power)의 펄스의 위상차 (phase difference)를 조절함으로써 ESE (electron shading effect)를 최소화시킬 수 있고, 따라서 차지 업 손상 (charge up damage)을 방지할 수 있다.

도 3은 본 발명의 실시예에 따른 펄스 플라즈마 식각 장치를 보여주는 도면이다.

도 3을 참조하면, 본 발명의 실시예에 따른 펄스 플라즈마 식각 장치는, 플라즈마 식각 챔버 (100), RF 소오스 파워 공급기 (120), RF 바이어스 파워 공급기 (130), 합수 발생기 (140), 지연 합수 발생기 (150), 그리고 매칭 네트워크 (128, 138)들을 포함한다.

상기 플라즈마 식각 장치는 저압 고밀도 플라즈마 소오스를 사용하여 반도체 기판 또는 반도체 기판 상에 형성된 막 예를 들어, 절연막, 도전막, 그리고 반도체막 중 어느 하나인 물질막을 식각 한다.

상기 저압 고밀도 플라즈마 소오스는 ICP, ECR, Helicon과 플라즈마, 또는 SWP 등으로서 모든 가능한 저압 고밀도 플라즈마 소오스가 사용되며, 여기서는 ICP 소오스가 사용되었다.

상기 식각 챔버 (100)는 실린더 (cylinder) 형태의 세라믹 벽 (ceramic wall) (102)과, 상기 세라믹 벽 (102)을 감싸는 1회전 코일 (one-turn coil) (104)을 포함한다. 상기 코일 (104)은 예를 들어, 구리로 형성되고 RF 소오스 파워가 인가되는 제 1 전극 (104)이 된다.

그리고, 상기 챔버 (100) 내에 기판 지지대 (106)가 장착되어 있고, 상기 기판 지지대 (106) 상에 식각할 웨이퍼 (108)가 놓이게 된다. 상기 기판 지지대 (106)는 상기 코일 (104)이 위치한 평면으로부터 3cm 아래에 위치되어 있고, RF 바이어스 파워가 인가되는 제 2 전극 (106)이 된다.

상기 챔버 (100)의 상부를 덮고 있는 알루미늄 플레이트 (aluminium plate) (110)가 갖는 가스 입구 (gas inlet)를 통해 플라즈마 식각 가스가 유입되고, 이 식각 가스는 챔버 (100) 내에서 반응된 후 챔버 (100)에 장착된 터보 분자 펌프 (turbo molecular pump; TMP)에 의해 챔버 (100) 밖으로 배출된다.

상기 RF 소오스 파워 공급기 (120)는 상기 제 1 전극 (104)에 13.56MHz의 RF 파워를 공급하여 상기 챔버 (100) 내에서 플라즈마가 발생되도록 한다.

상기 RF 소오스 파워 공급기 (120)는 RF 파워 발생기 (generator) (122), 믹서 (mixer) (124), 그리고 RF 파워 앰프 (amplifier) (126)를 포함한다.

상기 RF 파워 발생기 (122)는 예를 들어, 오실레이터 (oscillator)이다. 상기 믹서 (124)는 상기 RF 파워 발생기 (122)로부터 발생된 RF 소오스 파워와 상기 합수 발생기 (140)로부터 발생된 시간 변조 파형 (time modulation wave)을 입력받아 혼합함으로써, 상기 RF 소오스 파워를 시간 변조 (time modulation; TM)시킨다. 그러면, 상기 믹서 (124)로부터 소정의 주기로 온/오프 되는 RF 소오스 파워 즉, 펄스 RF 소오스 파워가 출력된다.

이때, 상기 펄스 RF 소오스 파워의 주기는 20μs 내지 800μs의 범위를 갖고 바람직하게는 400μs이며, 듀티 비율 (duty ratio)은 5% 내지 80%의 범위를 갖고 바람직하게는 50%이다. 여기서, 상기 듀티 비율이라 함은, 파워가 온 상태인 시간을 파워의 주기 즉, 파워가 온 상태 및 오프 상태인 시간의 합으로 나눈 값을 가리킨다.

상기 RF 파워 앰프 (126)는 상기 믹서 (124)로부터 펄스 RF 소오스 파워를 입력받아 증폭하여 출력한다. 이때, 상기 RF 파워 앰프 (126)를 통해 출력되는 펄스 RF 소오스 파워는 피드 백 루프 (feedback loop)를 통해 그 개인 (gain)이 컨트롤 (control)된다. 상기 펄스 RF 소오스 파워는 최대 전력 전달을 위한 매칭 네트워크 (matching network) (128)를 거쳐 상기 제 1 전극 (104)에 인가된다. 그러면, 상기 챔버 (100) 내에 플라즈마가 발생된다.

상기 RF 바이어스 파워어 공급기(130)는 상기 제 2 전극(106)에 13.56MHz의 RF 바이어스 파워어를 공급함으로써, 웨이퍼로 이온 및 전자가 끌여당겨지도록 한다.

상기 RF 바이어스 파워어 공급기(130)는 상기 RF 소오스 파워어 공급기(120)와 마찬가지로 RF 파워어 발생기(132), 믹서(134), RF 파워어 앰프(136), 그리고 펄스 RF 바이어스 파워어의 제인을 컨트롤하기 위한 피드 백 루프를 포함한다.

이때, 상기 믹서(134)는 상기 RF 파워어 발생기(132)로부터 RF 바이어스 파워어를 입력받고, 상기 지연 함수 발생기(150)로부터 시간 변조 파형을 입력받아 혼합함으로써, 상기 RF 바이어스 파워어를 시간 변조시킨다. 그러면, 상기 믹서(134)로부터 소정의 주기로 온/오프 되는 RF 바이어스 파워어 즉, 펄스 RF 바이어스 파워어가 출력된다.

상기 함수 발생기(140)와 지연 함수 발생기(150)는 외부로부터 기준 신호인 트리거 신호(trigger signal)를 인가 받는다.

이때, 상기 펄스 RF 바이어스 파워어의 주기는 $20\mu s$ 내지 $800\mu s$ 의 범위를 갖고, 바람직하게는 $400\mu s$ 이며, 듀티 비율(duty ratio)은 5% 내지 80%의 범위를 갖고, 바람직하게는 50% 이다.

상기 지연 함수 발생기(150)는 본 발명의 가장 핵심적인 부분으로서, 상기 함수 발생기(140)로부터 발생된 시간 변조 파형에 대해 위상차 ϕ 만큼 지연된 시간 변조 파형을 발생시킨다. 따라서, 상기 펄스 RF 바이어스 파워어는 상기 펄스 RF 소오스 파워어에 대해 ϕ 만큼 지연된다. 이때, 상기 위상차 ϕ 는 0 내지 2π 의 범위를 갖고 바람직하게, $\pi/2$ 내지 $3\pi/2$ 의 범위를 갖는다. 더 바람직하게, 상기 ϕ 는 π 이다.

마찬가지로, 상기 펄스 RF 바이어스 파워어는 매칭 네트워크(138)를 거쳐 상기 제 2 전극(106)에 인가된다. 그러면, 상기 웨이퍼(108)로 이온이 끌여당겨져서 식각 공정이 수행된다.

상술한 바와 같은 본 발명에 따른 플라즈마 식각 장치를 사용하여 다음과 같은 실제의 공정이 수행되었다.

먼저, 상기 기판 지지대에 도 4에 도시된 바와 같이, 인 시츄 차지 업 모니터링 웨이퍼(monitors wafer)(200)가 준비된다.

도 5는 도 4의 A-A 라인을 따라 절단한 수직 단면도이다.

도 5를 참조하면, 상기 모니터링 웨이퍼(200)는 다음과 같은 순서에 의해 제조된다. 먼저, 실리콘 웨이퍼(201) 상에 제 1 산화막(202)이 증착 되고, 상기 제 1 산화막(202) 상에 제 1 및 제 2 도전막 패턴(206a, 206b)이 형성된다. 상기 제 1 및 제 2 도전막 패턴(206a, 206b)은 예를 들어, 폴리실리콘막(204a, 204b)과 텅스텐 실리사이드막(205a, 205b)이 차례로 증착 및 패턴링(patterning)되어 형성된다. 상기 제 1 산화막(202)은 상기 제 1 및 제 2 도전막 패턴(206a, 206b)을 전기적으로 격리시키기 위해 증착된 것으로써, $1.6\mu m$ 의 두께를 갖도록 증착 된다.

다음, 상기 제 1 및 제 2 도전막 패턴(206a, 206b)을 포함하여 제 1 산화막(202) 상에 제 2 산화막(208)이 증착 된다. 콘택홀 형성 마스크 예를 들어, 포토레지스트 패턴(photoresist pattern)을 사용하여 상기 제 2 산화막(208)이 식각 되어, 제 1 도전막 패턴(206a)의 상부 표면의 일부가 노출되도록 하나의 큰 콘택홀(a large contact hole)(210a)이 형성되고, 동시에 제 2 도전막 패턴(206a)의 상부 표면의 일부가 노출되도록 다수의 작은 콘택홀(many small contact holes)(210b)이 형성된다. 동시에, 상기 제 1 및 제 2 도전막 패턴(206a, 206b) 상에 상기 제 1 및 제 2 도전막 패턴(206a, 206b)을 각각 오실로스코프와 전기적으로 연결되도록 하기 위한 패드 콘택홀(pad contact hole)(211a, 211b)이 더 형성된다.

여기서, 상기 큰 콘택홀(210a)은 $2.1\text{cm} \times 1.65\text{cm}$ 의 크기를 갖고, 상기 다수의 작은 콘택홀(210b)은 281×106 개이고, 각각 $0.2\mu\text{m} \times 0.2\mu\text{m}$ 의 크기를 갖는다.

상기 포토레지스트 패턴이 제거된 후, 상기 웨이퍼(200)가 상기 식각 챔버(100) 내에 장착된다.

진공 상태에서 두 개의 와이어(wire)를 통해 각각 상기 패드 콘택홀(211a, 211b) 하부의 제 1 및 제 2 도전막 패턴(206a, 206b)이 외부의 오실로스코프와 전기적으로 연결된다. 이로써, 플라즈마가 상기 큰 콘택홀(210a)과 다수의 작은 콘택홀(210b)에 주는 영향을 상기 오실로스코프를 통해 관찰할 수 있게 된다.

상기 챔버(100) 내에는 웨이퍼 상에 형성된 패턴의 변형을 방지하기 위해 비반응성 가스인 아르곤(Ar) 또는 헬륨(He) 가스가 공급된다. 그리고, 실험에 사용된 펄스 RF 소오스 파우어 및 펄스 RF 바이어스 파우어는 둘 다 주기가 $400\mu\text{s}$ 이고, 50%의 듀티 비율로 시간 변조된다. 상기 RF 바이어스 파우어는 상기 RF 소오스 파우어에 대해 0 내지 2π 의 범위 내에서 지연되도록 한다.

도 6은 RF 소오스 파우어 및 RF 바이어스 파우어가 둘 다 연속파(continuous wave)일 때, 상기 오실로스코프를 통해 관찰되는 제 1 및 제 2 도전막 패턴(206a, 206b)에 대한 퍼텐셜 모양을 보여주는 그래프이다. 이때, 상기 다수의 작은 콘택홀의 각각의 중첩비는 4이다.

여기서, 상기 제 2 도전막 패턴(206b)에 대한 퍼텐셜(참조 번호 220b로 표시된 그래프)의 평균(Vdc)(참조 번호 220b - 1)은 제 1 도전막 패턴(206a)에 대한 퍼텐셜(참조 번호 220a로 표시된 그래프)의 평균(Vdc)(참조 번호 220a - 1)보다 더 높음을 볼 수 있다. 이것은 상기 큰 콘택홀(210a)에 비해 상기 다수의 작은 콘택홀(210b)의 하부에는 ESE로 인해 전자가 도달하기 어렵다는 것을 나타낸다.

상기 챔버의 조건과 동일한 조건하에서, 콘택홀의 중첩비에 따른 제 1 도전막 패턴(206a)과 제 2 도전막 패턴(206b) 간의 평균 퍼텐셜의 차(ΔV_{dc})가 도 7에 도시되어 있다.

도 7을 참조하면, 상기 평균 퍼텐셜의 차(ΔV_{dc})는 중첩비가 4일 때까지 중첩비에 비례하고, 중첩비가 4 이상일 때 감소되는 경향을 보여준다. 이러한 감소 경향은 W. W. Dostalík 등에 의해 개시된 Electron Shading Effects in High Density Plasma Processing for Very High Aspect Ratio Structures (P2Id, p. 160, 1998)에서의 결과와 매우 유사하다.

도 8은 상기 챔버의 조건과 동일한 조건하에서, 위상 지연(ϕ)을 가변시켰을 때 제 1 도전막 패턴과 제 2 도전막 패턴의 평균 퍼텐셜의 차(ΔV_{dc})를 보여주는 그래프로서, 다양한 콘택홀의 중첩비에 대해 측정된 결과를 보여준다.

도 8에 있어서, 평균 퍼텐셜의 차(ΔV_{dc})는 중첩비가 1일 경우를 제외한 모든 경우에 대해 위상 지연(ϕ)이 π 일 때 최소 레벨을 가짐을 볼 수 있다.

도 9는 상기 챔버의 조건과 동일한 조건하에서, RF 소오스 파우어와 RF 바이어스 파우어가 둘 다 연속파(CW)인 경우, 상기 RF 소오스 파우어만 시간 변조(TM)된 경우, 상기 RF 바이어스 파우어만 시간 변조(TM)된 경우, 상기 RF 소오스 파우어와 RF 바이어스 파우어가 둘 다 시간 변조(TM)된 경우는 다시 다양한 위상차를 가질 때로 세분화된다.

도 9를 참조하면, RF 소오스 파우어와 RF 바이어스 파우어가 둘 다 시간 변조된 경우가 가장 평균 퍼텐셜의 차(ΔV_{dc})가 낮음을 볼 수 있다. 한편, 상기 RF 소오스 파우어만 시간 변조된 경우는 현저한 평균 퍼텐셜의 차(ΔV_{dc})의 감소 효과를 나타내지 않음을 볼 수 있다.

도 8과 도 9의 결과로써, 위상 조절 펄스 플라즈마를 사용함으로써 ESE를 줄일 수 있고, 특히 RF 소오스 파우어와 RF 바이어스 파우어가 둘 다 시간 변조되었을 때 ESE를 최소화 할 수 있음을 알 수 있다.

도 10은 RF 소오스 파우어에 대해 RF 바이어스 파우어가 270도의 위상차를 갖도록 시간 변조되었을 때, 제 1 도전막 패턴과 제 2 도전막 패턴의 시간에 따른 각각의 평균 퍼텐셜(Vdc) 및 이들 사이의 평균 퍼텐셜의 차(ΔVdc)를 보여주는 그래프이다.

위상 지연에 따른 효과를 분석하기 위해서 도 10에서와 같이, 시간에 따른 네 가지 영역 즉, 펄스 RF 소오스 파우어와 펄스 RF 바이어스 파우어의 상태가 각각 온/온, 온/오프, 오프/오프, 그리고 오프/온인 영역에 대해 제 1 도전막 패턴(206a)과 제 2 도전막 패턴(206b)의 평균 퍼텐셜의 차(ΔVdc)를 관찰하였다. 이때, 상기 다수의 작은 콘택홀의 중첩비는 8이다.

상기 평균 퍼텐셜의 차(ΔVdc)는 상기 네 가지 영역에 대해 항상 포지티브임을 볼 수 있다.

상기 네 가지 영역에서 위상 지연에 대한 함수로서 평균 퍼텐셜의 차(ΔVdc)를 분석한 그래프가 도 11에 도시되어 있다. 도 11에서와 같이, 상기 네 가지 영역에서 모든 평균 퍼텐셜의 차(ΔVdc)는 화살표로 표시한 바와 같이, 위상 지연이 π 일 때 최저 레벨을 가짐을 알 수 있고, 이것은 도 8에서와 같이 평균 퍼텐셜의 차(ΔVdc)의 경향과 유사하다. 이때, 상기 다수의 작은 콘택홀의 중첩비는 8이다.

특히, 상기 평균 퍼텐셜의 차(ΔVdc)는 상기 펄스 RF 소오스 파우어가 오프 상태이고, 상기 펄스 RF 바이어스 파우어가 온 상태일 때 상당히 감소됨을 알 수 있다.

상술한 바와 같은 실제의 공정 결과를 통해, 본 발명에 따른 플라즈마 식각 장치 및 플라즈마 식각 방법에 따르면, RF 소오스 파우어 뿐아니라, RF 바이어스 파우어도 또한 시간 변조 시켜서 펄스 RF 소오스 파우어 및 펄스 RF 바이어스 파우어가 되게 하고, 펄스 RF 바이어스 파우어를 펄스 RF 소오스 파우어에 대해 지연시킴으로써 전자의 온도를 최소화하게 된다. 그 결과, ESE를 최소화하게 된다.

특히, 펄스 RF 바이어스 파우어가 펄스 RF 소오스 파우어에 대해 π 만큼 지연되었을 때, 그리고 상기 펄스 RF 소오스 파우어가 오프 상태이고 상기 펄스 RF 바이어스 파우어가 온 상태일 때 그 효과가 극대화된다.

발명의 효과

본 발명은 저압 고밀도 플라즈마 소오스로서 ICP 소오스를 사용하고, RF 소오스 파우어 뿐아니라 RF 바이어스 파우어도 또한 주기적으로 온/오프 시킨다. 그리고, RF 바이어스 파우어를 RF 소오스 파우어에 대해 지연시킨다. 이로써, 전자의 온도를 최소화시킬 수 있고, 따라서 ESE를 최소화 할 수 있으며, 차지 업 손상에 의한 소자의 페일(fail)을 방지할 수 있다.

(57) 청구의 범위

청구항 8.

반도체 기판 상에 형성된 물질막을 식각 하여 물질막 패턴(pattern)을 형성하기 위한 플라즈마 식각 장치에 있어서,

플라즈마 식각 챔버;

상기 챔버 내에서 플라즈마가 발생되도록 상기 챔버 내의 제 1 전극에 RF 소오스 파우어를 공급하는 제 1 RF 파우어 공급기;

상기 제 1 RF 파우어 공급기에서 발생된 RF 소오스 파우어를 소정의 주기로 온/오프 시키는 변조 파형을 발생시키는 제 1 함수 발생기;

상기 기판의 지지대를 포함하여 챔버 내의 제 2 전극에 RF 바이어스 파우어를 공급하는 제 2 RF 파우어 공급기; 및

상기 제 2 파워 공급기에서 발생된 RF 바이어스 파워를 소정의 주기로 온/오프 시키는 변조 회로를 발생시키되, 상기 RF 바이어스 파워와 상기 RF 소오스 파워가 소정의 위상차를 갖도록 하는 변조 회로를 발생시키는 제 2 합수 발생기를 포함하여,

상기 물질막 패턴의 상부 영역과, 인접한 물질막 패턴 사이의 하부 영역간에 발생하는 전하 분리(charge separation)를 최소화하는 플라즈마 식각 장치.

청구항 9.

제 8 항에 있어서,

상기 RF 바이어스 파워는 상기 RF 소오스 파워에 대해 지연된 위상차를 갖는 것을 특징으로 하는 플라즈마 식각 장치.

청구항 10.

제 9 항에 있어서,

상기 지연된 위상차는 0 내지 2π 의 범위를 갖는 것을 특징으로 하는 플라즈마 식각 장치.

청구항 11.

제 8 항 또는 제 9 항에 있어서,

상기 RF 소오스 파워 및 RF 바이어스 파워의 온/오프 주기(on/off period)는 $20\mu s$ 내지 $800\mu s$ 범위를 갖는 것을 특징으로 하는 플라즈마 식각 장치.

청구항 12.

제 8 항 또는 제 9 항에 있어서,

상기 RF 소오스 파워 및 RF 바이어스 파워의 듀티 비율(duty ratio)은 5% 내지 80%의 범위를 갖는 것을 특징으로 하는 플라즈마 식각 장치.

청구항 13.

제 8 항에 있어서,

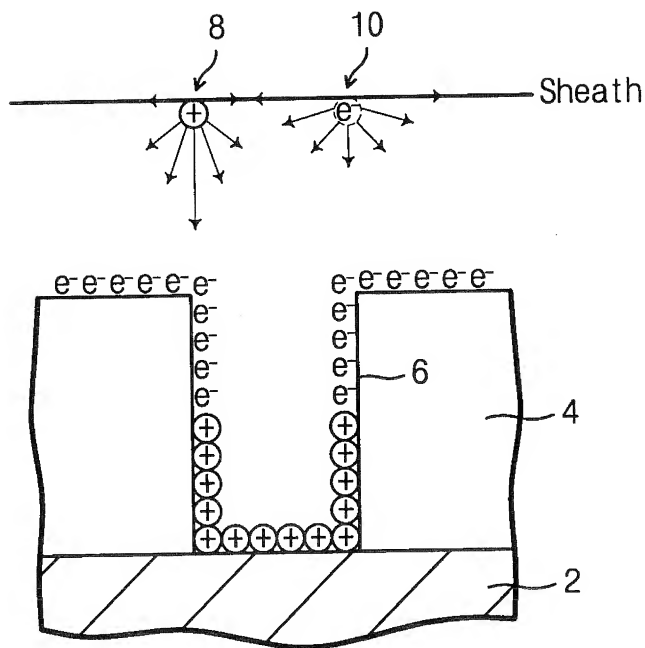
상기 소오스는 저압 고밀도 플라즈마 소오스인 것을 특징으로 하는 플라즈마 식각 장치.

청구항 14.

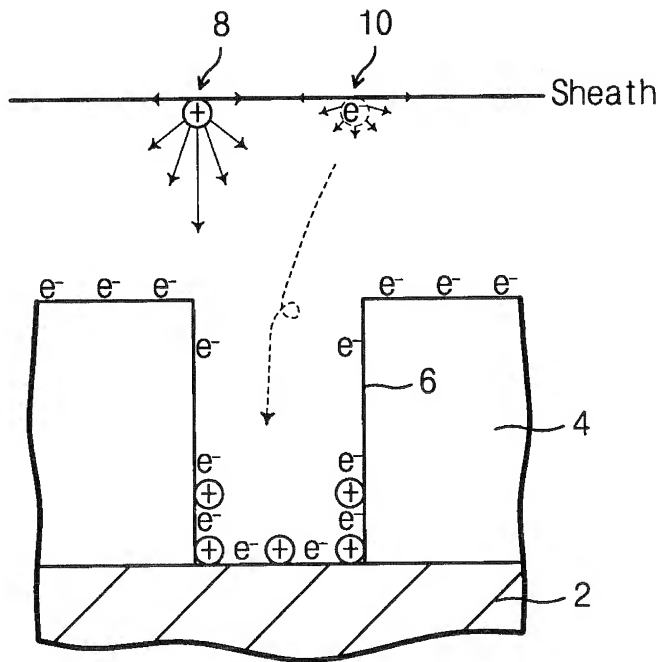
제 8 항에 있어서,

상기 물질막은 절연막, 도전막, 그리고 반도체막 중 어느 하나에 의해 형성되는 것을 특징으로 하는 플라즈마 식각 장치.

도면 1a

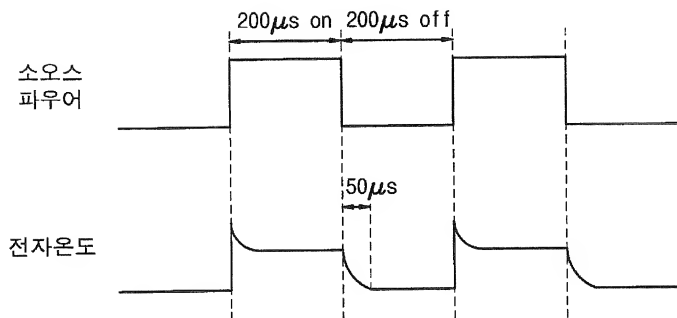


도면 1b

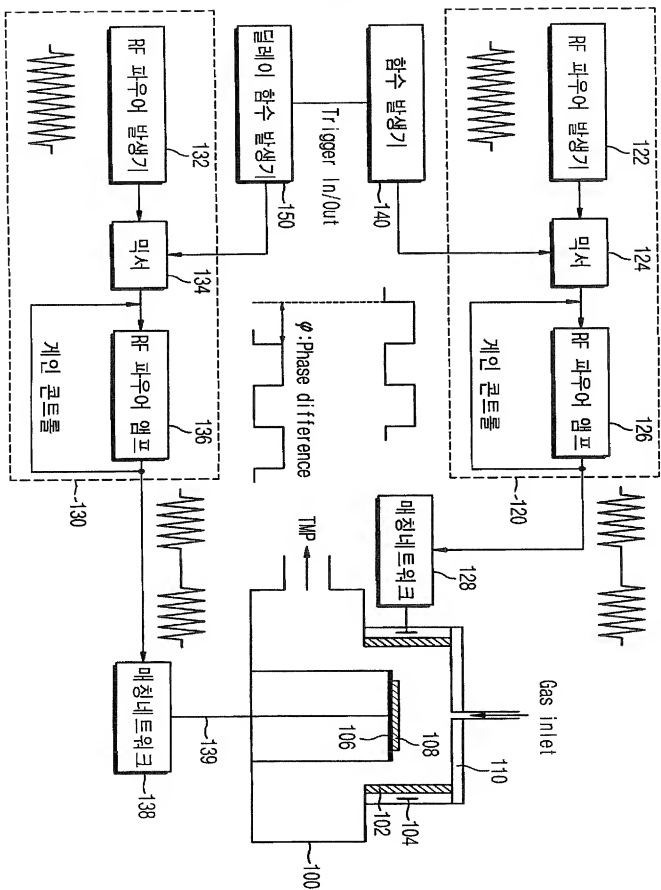


도면 2

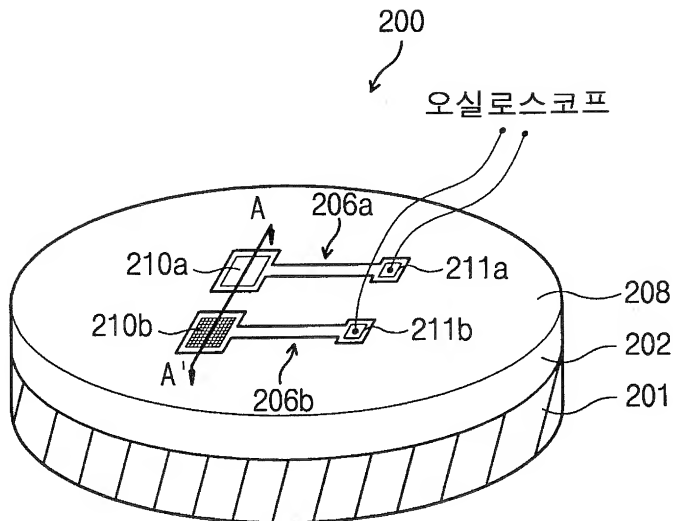
(종래 기술)



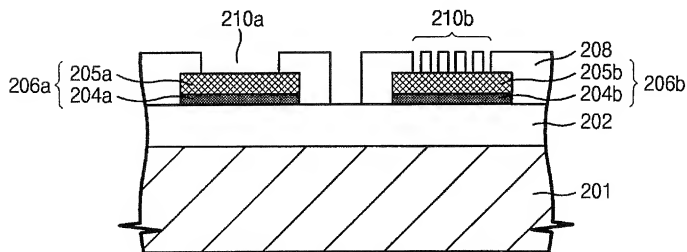
도 3



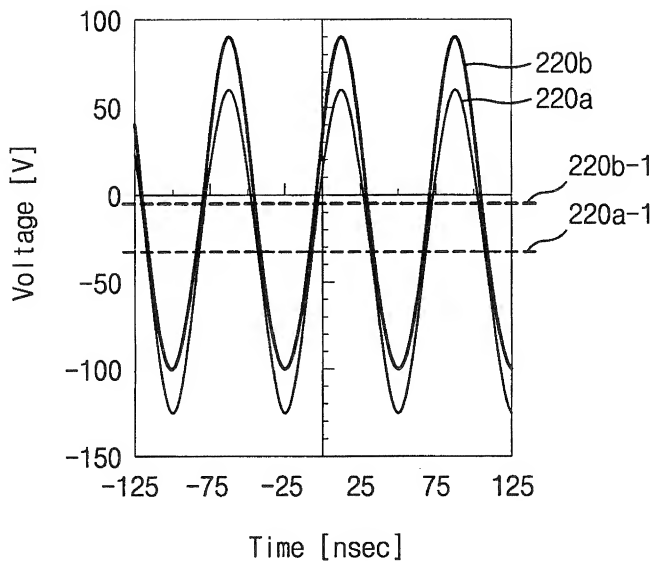
도면 4



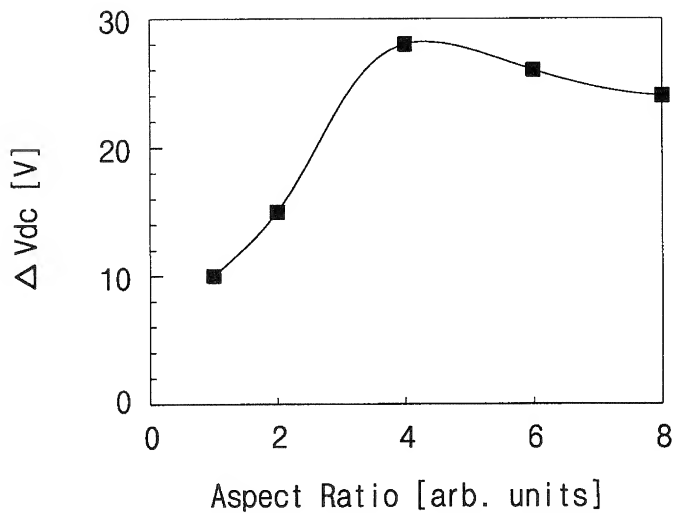
도면 5



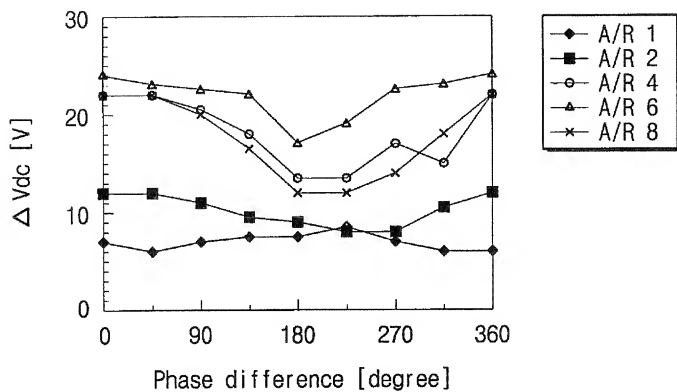
도면 6



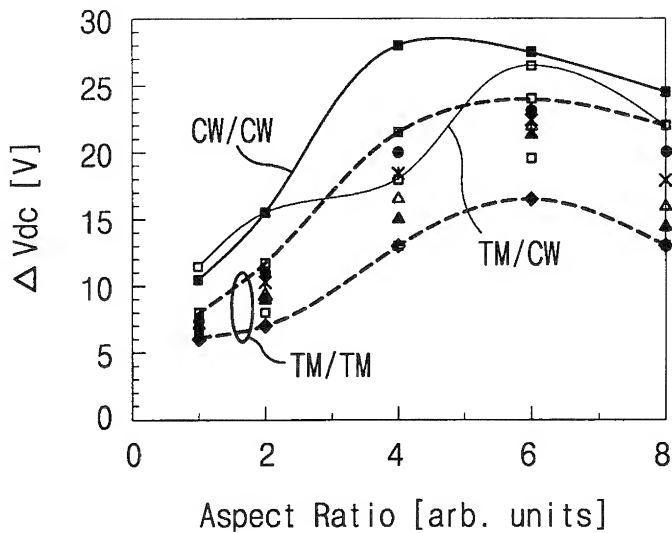
도면 7



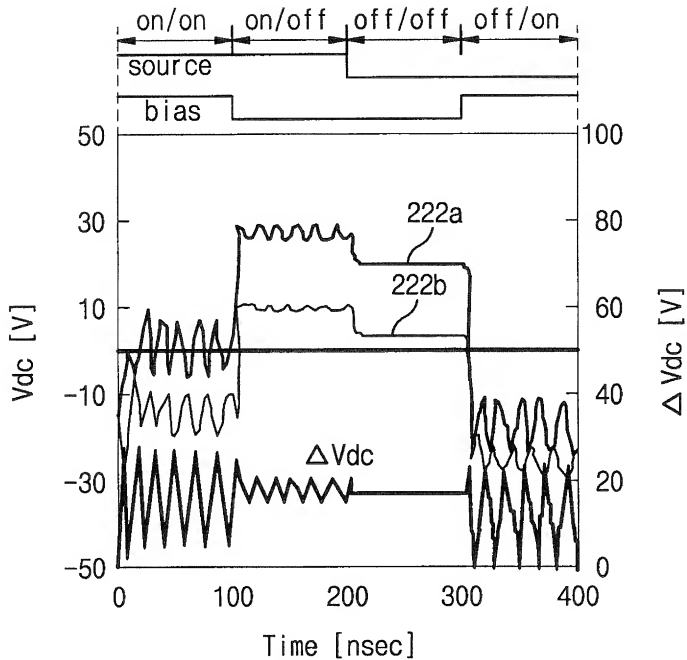
도면 8



도면 9



도면 10



도면 11

